09/856823
PCT/JP00/06851

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

03.10.00
JP00/6851

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

with this Office.

出願年月日
Date of Application: 1999年10月 4日

出願番号
Application Number: 平成11年特許願第282668号

出願人
Applicant (s): 松下電子工業株式会社

REC'D 17 NOV 2000
WIPO PCT

4

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年11月 6日

特許庁長官
Commissioner,
Patent Office 及川耕造

出証番号 出証特2000-3089957

【書類名】　特許願

【整理番号】　2926410080

【提出日】　平成11年10月 4日

【あて先】　特許庁長官　殿

【国際特許分類】

【発明者】

【住所又は居所】　大阪府高槻市幸町１番１号　松下電子工業株式会社内

【氏名】　橋本　伸

【発明者】

【住所又は居所】　大阪府高槻市幸町１番１号　松下電子工業株式会社内

【氏名】　岸田　剛信

【発明者】

【住所又は居所】　大阪府高槻市幸町１番１号　松下電子工業株式会社内

【氏名】　江頭　恭子

【発明者】

【住所又は居所】　大阪府高槻市幸町１番１号　松下電子工業株式会社内

【氏名】　畑　良文

【発明者】

【住所又は居所】　大阪府高槻市幸町１番１号　松下電子工業株式会社内

【氏名】　西脇　徹

【特許出願人】

【識別番号】　000005843

【氏名又は名称】　松下電子工業株式会社

【代理人】

【識別番号】　100077931

【弁理士】

【氏名又は名称】　前田　弘

【選任した代理人】

【識別番号】　100094134

【弁理士】

【氏名又は名称】　小山　　廣毅

【手数料の表示】

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　9601027

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　半導体装置の製造方法

【特許請求の範囲】

【請求項１】　半導体層における表面近傍の領域に非金属元素を分布させる工[redacted]

前記半導体層の上に金属膜を堆積する工程と、

前記金属膜に熱処理を施して前記半導体層を構成する元素と前記金属膜を構成する金属とを反応させることにより、前記半導体層の表面部にエピタキシャル半導体金属間化合物層を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項２】　前記非金属元素を分布させる工程は、

前記半導体層の上に、半導体元素と非金属元素とからなる化合物層を形成する工程と、

前記化合物層に粒子エネルギー線を照射して前記化合物層に含まれる前記非金属元素を反跳により前記半導体層の表面近傍の領域に分布させる工程と、

前記化合物層を除去する工程とを含むことを特徴とする請求項１に記載の半導体装置の製造方法。

【請求項３】　前記非金属元素を分布させる工程は、

前記半導体層の上に、半導体元素と非金属元素とからなる化合物層を形成する工程と、

前記化合物層に粒子エネルギー線を照射することにより、前記化合物層に含まれる前記非金属元素を反跳により前記半導体層の表面近傍の領域に分布させると共に前記化合物層を除去する工程とを含むことを特徴とする請求項１に記載の半導体装置の製造方法。

【請求項４】　前記半導体層は面心立方型の結晶構造を有しており、

前記半導体金属間化合物層は面心立方型の結晶構造を有しており、

前記化合物層は非晶質であることを特徴とする請求項２又は３に記載の半導体装置の製造方法。

【請求項５】　前記粒子エネルギー線は非金属元素からなることを特徴とする

請求項２又は３に記載の半導体装置の製造方法。

【請求項６】　前記半導体層は面心立方型の結晶構造を有しており、

前記半導体金属間化合物層は面心立方型の結晶構造を有していることを特徴とする請求項１に記載の半導体装置の製造方法。

[redacted]

しており、

前記半導体金属化合物層は弗化カルシウム型の結晶構造を有していることを特徴とする請求項１に記載の半導体装置の製造方法。

【請求項８】　前記半導体層はシリコンの結晶からなり、

前記非金属元素は酸素であり、

前記金属膜を構成する金属はコバルトであり、

前記エピタキシャル半導体金属間化合物層はエピタキシャルコバルトシリサイド層であることを特徴とする請求項１に記載の半導体装置の製造方法。

【請求項９】　前記半導体層はシリコンの結晶からなるシリコン基板におけるソース又はドレインとなる領域にそれぞれ形成されており、

前記シリコン基板上にはポリシリコンからなるゲート電極が形成されており、

前記エピタキシャル半導体金属間化合物層を形成する工程は、前記半導体層及びゲート電極を構成するシリコンと前記金属膜を構成する金属とを反応させることにより、前記半導体層の表面部にシリサイドエピタキシャル層を自己整合的に形成すると共に前記ゲート電極の表面部にシリサイド層を自己整合的に形成する工程を含むことを特徴とする請求項１に記載の半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体層の表面部に半導体金属間の化合物層、特に高い結晶配向性を持つエピタキシャル半導体金属間化合物層を形成する方法に関する。

【０００２】

【従来の技術】

高速動作を必要とする半導体集積回路装置においては、近年の半導体素子の微

細化に伴って、不純物が拡散されてなる半導体層のシート抵抗及びコンタクト抵抗の増加が問題になってきている。

【０００３】

この問題を解決する方法の１つとして、半導体層の表面部にシリサイド層を形成することが提案されており、シリサイド層を形成するための金属としては種々のものが提案されているが、コバルトを用いて形成するコバルトダイシリサイド（$CoSi_2$）層は、熱的安定性及び抵抗率の両面から優れているので特に注目されている。

【０００４】

ところが、シリコン基板の表面部をコバルトを用いてシリサイド化する場合、コバルト原子とシリコン原子との反応プロセスにおいて、コバルトシリサイド層が凝集したり又はコバルトシリサイド層にスパイク欠陥が発生したりする（ＩＥＤＭ１９９５－４４９　Ｋ．Ｇｏｔｏ）。コバルトシリサイド層が凝集すると断線が発生するという問題があり、またスパイク欠陥が発生すると接合リークが起きるという問題がある。

【０００５】

そこで、コバルトシリサイド層の凝集及びスパイク欠陥の発生を防止するため、論文（Ａｐｐｌ．Ｐｈｙｓ．Ｌｅｔｔ．６８、１９９６、Ｊｕｎｅ）において、以下に説明するように、エピタキシャル成長によりコバルトシリサイド層を形成する方法が提案されている。すなわち、シリコンの結晶からなる半導体層の上に０．５～１．５ｎｍの厚さを持つSiO_x（$x<2$）膜を形成した後、該SiO_x膜の上に超高真空下でコバルト膜を数ｎｍ程度の厚さに堆積し、その後、熱処理を行なうことにより、コバルト原子とシリコン原子とを反応させてエピタキシャルコバルトシリサイド層を形成する技術（Ｏｘｉｄｅ　Ｍｅｄｉａｔｅｄ　Ｅｐｉｔａｘｙ；ＯＭＥ技術）が提案されている。また、この技術によると、SiO_x膜がエピタキシャルコバルトシリサイド層の成長を促進する役割を果たすと説明されている。

【０００６】

【発明が解決しようとする課題】

しかしながら、エピタキシャルコバルトシリサイド層を形成する前述の方法は、コバルト膜の堆積に超高真空装置が必要になり、該超高真空装置は通常のシリコンからなる半導体のプロセスでは用いられないので、量産のプロセスには適しないという問題がある。

また、前述の方法は、半導体層の上に、極めて薄い膜厚を持つと共に化学量論的組成よりもシリコンが過剰であるSiO_x（$x<2$）膜を介してコバルト膜を形成しているため、SiO_x膜の膜質及び膜厚のばらつきに起因して種々の問題が発生する。すなわち、SiO_x膜にピンホールがあった場合、該ピンホールを介してコバルトとシリコンとが爆発的に反応してしまうので、エピタキシャルコバルトシリサイド層が形成できないという問題、及びSiO_x膜の膜厚にばらつきがあった場合、膜厚の薄い部位においてコバルト原子とシリコン原子との反応が一気に進んでしまうので、エピタキシャルコバルトシリサイド層を良好に形成できないという問題がある。

【０００８】

前記に鑑み、本発明は、凝集及びスパイク欠陥のないエピタキシャル半導体金属間化合物層例えばエピタキシャルコバルトシリサイド層を、半導体の量産プロセスにおいて通常用いられている、真空度領域において又は製造装置を用いて、安定して形成できるようにすることを目的とする。

【０００９】

【課題を解決するための手段】

前記の目的を達成するため、本願発明者らは、エピタキシャルコバルトシリサイド層において凝集及びスパイク欠陥が発生する原因について検討を行なった結果、以下に説明するような知見を得た。すなわち、コバルト原子とシリコン原子とが反応してコバルトシリサイドが形成されるメカニズムは、熱力学的に考えると、$Co_2Si \rightarrow CoSi \rightarrow CoSi_2$の反応が進むことによる。ところが、$Co_2Si \rightarrow CoSi \rightarrow CoSi_2$の反応パスにおいては、界面エネルギーが不安定で且つ不均一であるため、コバルトシリサイドが多結晶化し、これによって、凝集及びスパイク欠陥が発生するのである。

【００１０】

従って、シリコンを含む半導体層とコバルト膜との界面に$CoSi_2$からなるシード層を形成しておいてからエピタキシャル成長させると、Co_2Si →$CoSi$→$CoSi_2$の反応パスを経ることなく$CoSi_2$を形成することができる

【００１１】

そこで、シリコンを含む半導体層とコバルト膜との界面に$CoSi_2$からなるシード層を形成する方法について種々の検討を行なった結果、半導体層とコバルト膜との間に存在する酸素原子の濃度を制御すると、$CoSi_2$からなるシード層を形成することができることを見出した。具体的には、表面近傍の領域に酸素原子が分布している半導体層の上にコバルト膜を堆積すると、半導体層とコバルト膜との間に介在する酸素原子の量は、半導体層とコバルト膜との間にSiO_x膜を介在させる場合に比べて低減するので、半導体層とコバルト膜との間に$CoSi_2$からなるシード層を形成できることを見出した。

【００１２】

本発明は、前記の知見に基づいてなされたものであって、具体的には、本発明に係る半導体装置の製造方法は、半導体層における表面近傍の領域に非金属元素を分布させる工程と、半導体層の上に金属膜を堆積する工程と、金属膜に熱処理を施して半導体層を構成する元素と金属膜を構成する金属とを反応させることにより、半導体層の表面部にエピタキシャル半導体金属間化合物層を形成する工程とを備えている。

【００１３】

本発明の半導体装置の製造方法によると、半導体層における表面近傍の領域に非金属元素を分布させておいてから半導体層の上に金属膜を堆積し、その後、金属膜に熱処理を施して半導体層を構成する元素と金属膜を構成する金属とを反応させるため、金属膜を構成する金属と半導体層を構成する元素とが一気に反応する事態を回避できるので、エピタキシャル半導体金属間化合物層の多結晶化を防止することができる。このため、本発明によると、凝集及びスパイク欠陥のないエピタキシャル半導体金属間化合物層を、半導体の量産プロセスにおいて通常用

いられている真空度領域で且つ低温において安定して形成することができる。

【００１４】

本発明の半導体装置の製造方法において、非金属元素を分布させる工程は、半導体層の上に、半導体元素と非金属元素とからなる化合物層を形成する工程と、

より半導体層の表面近傍の領域に分布させる工程と、化合物層を除去する工程とを含むことが好ましい。

【００１５】

このようにすると、粒子エネルギー線の照射による反跳によって、化合物層に含まれる非金属元素を半導体層の表面近傍の領域に確実に分布させることができる。

【００１６】

また、本発明の半導体装置の製造方法において、非金属元素を分布させる工程は、半導体層の上に、半導体元素と非金属元素とからなる化合物層を形成する工程と、化合物層に粒子エネルギー線を照射することにより、化合物層に含まれる非金属元素を反跳により半導体層の表面近傍の領域に分布させると共に化合物層を除去する工程とを含むことが好ましい。

【００１７】

このようにすると、粒子エネルギー線の照射による反跳によって、化合物層に含まれる非金属元素を半導体層の表面近傍の領域に確実に分布させることができると共に、化合物層を除去する工程が不要になる。

【００１８】

これらの場合、面心立方型の結晶構造を有する半導体層、面心立方型の結晶構造を有する半導体金属間化合物層及び非晶質の化合物層を用いることができる。

【００１９】

また、これらの場合、粒子エネルギー線は非金属元素からなることが好ましい。このようにすると、粒子エネルギー線を構成する元素が半導体層に悪影響を与える事態を防止できる。

【００２０】

本発明の半導体装置の製造方法において、面心立方型の結晶構造を有する半導体層及び面心立方型の結晶構造を有する半導体金属間化合物層を用いることができる。

【００２１】

本発明の半導体装置の製造方法において、ダイヤモンド型又は閃亜鉛鉱型の結晶構造を有する半導体層及び塩化ナトリウム型の半導体金属化合物層を用いることができる。

【００２２】

本発明の半導体装置の製造方法において、半導体層はシリコンの結晶からなり、非金属元素は酸素であり、金属膜を構成する金属はコバルトであり、エピタキシャル半導体金属間化合物層はエピタキシャルコバルトシリサイド層であることが好ましい。

【００２３】

このようにすると、半導体層の表面部に、熱的に安定で且つシート抵抗の低いエピタキシャルコバルトシリサイド層を確実に形成することができる。

【００２４】

本発明の半導体装置の製造方法において、半導体層はシリコンの結晶からなるシリコン基板におけるソース又はドレインとなる領域にそれぞれ形成されており、シリコン基板上にはポリシリコンからなるゲート電極が形成されており、エピタキシャル半導体金属間化合物層を形成する工程は、半導体層及びゲート電極を構成するシリコンと金属膜を構成する金属とを反応させることにより、半導体層の表面部にシリサイドエピタキシャル層を自己整合的に形成すると共にゲート電極の表面部にシリサイド層を自己整合的に形成する工程を含むことが好ましい。

【００２５】

このようにすると、ソース又はドレインとなる半導体層の表面部に、熱的に安定で且つシート抵抗及びコンタクト抵抗が低いエピタキシャルコバルトシリサイド層を形成することができると共に、ゲート電極の表面部に良質なシリサイド層を形成することができるので、該ＭＯＳＦＥＴを有する半導体集積回路装置の性能の向上を工程数の増加を招くことなく達成することができる。

【００２６】

【発明の実施の形態】

（第１の実施形態）

以下、本発明の第１の実施形態に係る半導体装置について、図１（ａ）及び（

【００２７】

図１（ａ）は第１の実施形態に係る半導体装置の平面構造を示し、図１（ｂ）は図１（ａ）におけるＩｂ－Ｉｂ線の断面構造を示している。

【００２８】

第１の実施形態に係る半導体装置は、ＣＭＯＳ、ｐＭＯＳ又はｎＭＯＳのいずれのタイプのトランジスタでもよいが、ここでは、ｎ型ＭＯＳトランジスタについて説明する。

【００２９】

図１（ａ）及び（ｂ）に示すように、ｎ型のシリコン結晶からなり数Ω・ｃｍの抵抗率を有する半導体基板１０の表面部には、ｎ型のチャネルストッパー１１が形成されていると共に該チャネルストッパー１１の上には素子分離領域となるフィールド絶縁膜１３が形成されており、半導体基板１０におけるチャネルストッパー１１に囲まれた領域にはｐ型ウェル領域１２が形成されている。

【００３０】

ｐ型ウェル領域１２の内部におけるソース又はドレインとなる領域には、ＬＤＤ構造を構成するｎ型の低濃度不純物拡散層１６及びｎ型の高濃度不純物拡散層１８が形成されている。また、半導体基板１０上におけるソース領域とドレイン領域との間にはシリコン酸化膜からなるゲート絶縁膜１４を介して多結晶シリコン膜からなるゲート電極１５が設けられており、該ゲート電極１５の側面はシリコン酸化膜からなるサイドウォール１７が形成されている。

【００３１】

第１の実施形態の特徴として、ｎ型の高濃度不純物拡散層１８の表面部にはコバルトダイシリサイド（$CoSi_2$）のエピタキシャル成長層が形成されていると共に、ゲート電極１５の表面部には、多結晶シリコンの個々の結晶粒に対して

はエピタキシャルな関係を有する多結晶コバルトダイシリサイド層が、ｎ型の高濃度不純物拡散層１８の上にエピタキシャル成長層が形成されるのと同じ条件で同時に形成されている。ｎ型の高濃度不純物拡散層１８及びゲート電極１５の各表面部に成長したシリサイド層の膜厚は例えば３０～５０ｎｍ程度である。このように、ｎ型の高濃度不純物拡散層１８及びゲート電極１５の抵抗値が十分に低減しているので、第１の実施形態に係るＭＯＳＦＥＴを有する半導体集積回路装置の性能が向上している。

【００３２】

半導体基板１０の上には層間絶縁膜２２が堆積されており、該層間絶縁膜２２の上には例えばアルミニウム合金膜からなる金属配線２４が形成されており、該金属配線２４は保護絶縁膜２５に覆われている。金属配線２４は層間絶縁膜２２に形成されたコンタクトホール２３を介して、ｎ型の高濃度不純物拡散層１８の表面部に形成されているエピタキシャルシリサイド層２１に接続されている。このため、ｎ型の高濃度不純物拡散層１８と金属配線２４とのコンタクト抵抗が十分に低減している。

【００３３】

（第２の実施形態）

以下、本発明の第２の実施形態として、第１の実施形態に係る半導体装置の製造方法について、図２（ａ）～（ｃ）、図３（ａ）～（ｃ）及び図４（ａ）、（ｂ）を参照しながら説明する。

【００３４】

まず、図２（ａ）に示すｎ型のシリコン結晶からなる半導体基板１００の表面に薄い膜厚のシリコン酸化膜を形成した後、該シリコン酸化膜の上にシリコン窒化膜を堆積し、その後、周知のフォトリソグラフィ技術及びエッチング技術を用いてシリコン窒化膜に対してパターニングを行なって、シリコン窒化膜におけるフィールド絶縁膜形成領域を除去する。

【００３５】

次に、半導体基板１００にパターン化されたシリコン窒化膜をマスクにして、リン又はヒ素等のｎ型不純物を高濃度にイオン注入してチャネルストッパー１０

１を形成した後、半導体基板１００にボロン等のｐ型不純物をイオン注入してｐ型ウェル領域１０２を形成する。その後、半導体基板１００に対して熱処理を行なって半導体基板１００の表面部におけるシリコン窒化膜に覆われていない領域を酸化するＬＯＣＯＳ法を行なって、半導体基板１００の表面部に例えば４００

て、チャネルストッパー１０１及びｐ型ウェル領域１０２は活性化される。その後、シリコン酸化膜及びシリコン窒化膜を除去する。

【００３６】

次に、例えば熱酸化法により半導体基板１００の表面に全面に亘って例えば５～１０ｎｍの膜厚を有するシリコン酸化膜からなるゲート絶縁膜１０４を形成した後、例えばＣＶＤ法によりゲート絶縁膜１０４の上に多結晶シリコン膜を堆積した後、周知のフォトリソグラフィ技術及びエッチング技術を用いて多結晶シリコン膜をパターニングしてゲート電極１０５を形成する。

【００３７】

次に、半導体基板１００にゲート電極１０５をマスクとしてヒ素又はリン等のｎ型不純物を低濃度にイオン注入して、図２（ｂ）に示すように、ｎ型の低濃度不純物層１０６を形成する。

【００３８】

次に、半導体基板１００の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して異方性エッチングを行なって、図２（ｃ）に示すように、ゲート電極１０５の側面にサイドウォール１０７を形成する。その後、半導体基板１００にゲート電極１０５及びサイドウォール１０７をマスクとしてヒ素又はリン等のｎ型不純物を高濃度にイオン注入して、ｎ型の高濃度不純物層１０８を形成した後、半導体基板１００に対して熱処理を施して、ｎ型の低濃度不純物層１０６及び高濃度不純物層１０８を活性化する。

【００３９】

尚、サイドウォール１０７は、シリコン酸化膜に代えて、シリコン窒化膜を用いてもよい。また、活性化のための熱処理は、後述する第１回目及び第２回目の熱処理工程において行なってもよい。

【００４０】

次に、図３（ａ）に示すように、半導体基板１００に、非金属元素イオン例えば酸素イオンを例えば１００～５００ｅＶの低い加速エネルギーでイオン注入して、図３（ｂ）に示すように、ｎ型の高濃度不純物層１０８の表面近傍の領域及びゲート電極１０５の表面近傍の領域に非金属元素例えば酸素原子１０９を基板面方向に分布させる。尚、イオン注入に代えて、プラズマドーピングにより酸素原子１０９を分布させてもよい。

【００４１】

また、酸素原子１０９を分布させる深さとしては、ｎ型の高濃度不純物層１０８又はゲート電極１０５の表面から０．５～５ｎｍの範囲が好ましく、酸素原子１０９の濃度としては、$5\times10^{14}cm^{-2}$～$3\times10^{16}cm^{-2}$の範囲が好ましい。これらの理由については後述する。

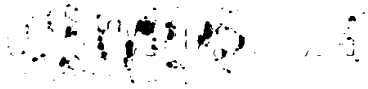
【００４２】

次に、図３（ｃ）に示すように、例えばスパッタ法により半導体基板１００の上に全面に亘って金属膜例えばコバルト膜１１０を堆積する。このようにすると、コバルト膜１１０とｎ型の高濃度不純物層１０８又はゲート電極１０５との間には酸素原子１０９が分布しているが、酸素原子１０９はｎ型の高濃度不純物層１０８又はゲート電極１０５の表面から０．５～５ｎｍの深さの範囲に分布している。このため、コバルト膜１１０を構成するコバルト原子の半導体基板１００中への拡散は酸素原子１０９の分布によって抑制される共に、コバルト膜１１０を構成するコバルト原子からは、酸素原子１０９の下側に存在するシリコンの結晶格子が見えるため、酸素原子１０９が分布している層の上側の領域はイオン注入又はプラズマドーピングなどによって乱れているとしても、コバルト原子は半導体基板１００における酸素原子１０９の下側の領域の結晶構造の影響を受けながら反応するので、ｎ型の高濃度不純物層１０８とコバルト膜１１０との界面に、シリコンの結晶と格子定数が近いコバルトダイシリサイド（$CoSi_2$）の核（図示は省略している。）が形成される。また、ゲート電極１０５は多結晶シリコンからなるが、個々の結晶粒に対してはｎ型の高濃度不純物層１０８におけるコバルト原子とシリコン原子との反応と同様にコバルトダイシリサイド（ＣｏＳ

i_2）の核が形成される。

【００４３】

次に、半導体基板１００を５００℃の温度下で１０秒間保持する第１回目の熱処理（ＲＴＡ：Rapid Thermal Anneal）を行なう。このようにすると、コバルト



ン領域に拡散していくと共にコバルト原子がシリコン原子と反応するため、図３（ｃ）に示すように、ｎ型の高濃度不純物層１０８及びゲート電極１０５の表面部に、既に形成されているコバルトダイシリサイドの核の結晶構造と対応するコバルトダイシリサイド（$CoSi_2$）のエピタキシャル成長層（以下、第１のエピタキシャルシリサイド層と称する。）１１１Ａが形成される。

【００４４】

尚、コバルト膜１１０の膜厚が５ｎｍの場合には第１のエピタキシャルシリサイド層１１１Ａの膜厚は１７～１８ｎｍ程度であり、コバルト膜１１０の膜厚が１０ｎｍの場合には第１のエピタキシャルシリサイド層１１１Ａの膜厚は３４～３６ｎｍ程度である。

【００４５】

また、半導体基板１００の結晶構造が面心立方型であるときには、第１のエピタキシャルシリサイド層１１１Ａの結晶構造も面心立方型となり、半導体基板１００の結晶構造がダイヤモンド型又は閃亜鉛鉱型であるときには、第１のエピタキシャルシリサイド層１１１Ａの結晶構造は弗化カルシウム型（螢石）となる。

【００４６】

前述のように、ｎ型の高濃度不純物層１０８及びゲート電極１０５の表面近傍の領域には酸素原子１０９が表面から０．５～５ｎｍの深さに分布しており、コバルト膜１１０を構成するコバルト原子とｎ型の高濃度不純物層１０８又はゲート電極１０５を構成するシリコン原子とが直接に接していないため、コバルト原子とシリコン原子とは一気に反応しないので、第１のエピタキシャルシリサイド層１１１Ａが凝集したり又は多結晶化したりする事態を防止できる。

【００４７】

また、酸素原子１０９の濃度が$5\times10^{14}cm^{-2}$よりも低いと、コバルト原子

とシリコン原子とが一気に反応して、第１のエピタキシャルシリサイド層１１１Ａが凝集したり又は多結晶化したりする恐れがあり、また、酸素原子１０９の濃度が$3\times10^{16}cm^{-2}$よりも高いと、コバルト原子と半導体基板１００の結晶格子との距離が大きくなるため、コバルト原子とシリコン原子との反応が良好に行

[redacted]

尚、第１のエピタキシャルシリサイド層１１１Ａにおいては、すべての層がコバルトダイシリサイド（$CoSi_2$）からなっていてもよいし、下層（シリコン層との界面側）がコバルトダイシリサイド（$CoSi_2$）であると共に上層（コバルト膜１１０側）がコバルトシリサイド（ＣｏＳｉ）であってもよい。第２の実施形態の第１のエピタキシャルシリサイド層１１１Ａにおいては、下層がコバルトダイシリサイドであり且つ上層がコバルトシリサイドである。少なくともシリコン層との界面にコバルトダイシリサイド層が形成されていると、コバルトシリサイド層の凝集が起こらないので、リーク電流の低減を図ることができる。

【００４９】

次に、図４（ａ）に示すように、第１回目の熱処理で反応しなかったコバルト膜１１０を、例えばアンモニア液と過酸化水素水との混合液又は塩酸系混酸液からなるエッチャントを用いて除去した後、半導体基板１００を８００℃の温度下で１０秒間保持する第２回目の熱処理（ＲＴＡ）を行なう。このようにすると、第１のエピタキシャルシリサイド層１１１Ａの上層のコバルトシリサイドも成長してコバルトダイシリサイドになるので、第１のエピタキシャルシリサイド層１１１Ａは、すべての層がコバルトダイシリサイドからなる第２のエピタキシャルシリサイド層１１１Ｂに変化する。

【００５０】

尚、第１のエピタキシャルシリサイド層１１１Ａのすべての層がコバルトダイシリサイド（$CoSi_2$）からなる場合には、第２回目の熱処理を省略することができる。この場合には、以下の説明における第２のエピタキシャルシリサイド層１１１Ｂを第１のエピタキシャルシリサイド層１１１Ａと読み替える。

【００５１】

次に、図４（ｂ）に示すように、例えばＴＥＯＳ（テトラエトキシシラン）を用いるＣＶＤ法により、半導体基板１００の上に全面に亘ってシリコン酸化膜からなる層間絶縁膜１１２を堆積した後、周知のフォトリソグラフィ技術及びエッチング技術を用いて層間絶縁膜１１２にコンタクトホール１１３を形成する。

次に、例えばスパッタ法により半導体基板１００の上に全面に亘って例えばアルミニウム合金膜をコンタクトホール１１３に埋め込まれるように堆積した後、周知のフォトリソグラフィ技術及びエッチング技術を用いてアルミニウム合金膜をパターニングすることにより金属配線１１４を形成する。次に、例えばプラズマＣＶＤ法を用いて金属配線１１４の上に、例えばシリコン酸化膜とシリコン窒化膜との積層体からなる保護絶縁膜１１５を堆積すると、第１の実施形態に係る半導体装置が得られる。

【００５３】

尚、金属配線１１４としては、アルミニウム合金膜に代えて、アルミニウム合金膜と窒化チタン膜又はタングステン膜等との積層膜を用いてもよい。

【００５４】

第２の実施形態によると、ｎ型の高濃度不純物層１０８及びゲート電極１０５の表面部にはコバルトダイシリサイドからなる第２のエピタキシャルシリサイド層１１１Ｂが形成されているため、ｎ型の高濃度不純物層１０８及びゲート電極１０５のシート抵抗を５Ω／□程度に低減できるので、第２のエピタキシャルシリサイド層１１１Ｂが形成されていない場合のシート抵抗（１００Ω／□）に比べて大きく低減できると共に、コンタクト抵抗も低減できるので、ＭＯＳＦＥＴを有する半導体集積回路装置の性能を向上させることができる。

【００５５】

また、第２の実施形態によると、ｎ型の高濃度不純物層１０８の表面近傍の領域及びゲート電極１０５の表面近傍の領域に非金属元素例えば酸素原子１０９を分布させておいてから金属膜例えばコバルト膜１１０を堆積し、その後、第１回目及び第２回目の熱処理を行なって、ｎ型の高濃度不純物層１０８の表面部及びゲート電極１０５の表面部にコバルトダイシリサイドからなる第２のエピタキシ

ヤルシリサイド層１１１Ｂを形成するため、コバルト原子とシリコン原子とが一気に反応する事態を回避できるので、第２のエピタキシャルシリサイド層１１１Ｂが凝集したり多結晶化したりする事態を回避できると共に第２のエピタキシャルシリサイド層１１１Ｂにスパイク欠陥が形成される事態を回避することができるため、エピタキシャルシリサイド層の凝集又は多結晶化に起因する断線を防止できると共に、スパイク欠陥に起因する接合リークを防止することができる。

【００５６】

さらに、第２の実施形態によると、ｎ型の高濃度不純物層１０８の表面近傍の領域及びゲート電極１０５の表面近傍の領域に酸素原子１０９を分布させた状態で、つまりｎ型の高濃度不純物層１０８及びゲート電極１０５とコバルト膜１１０との間に低濃度の酸素原子１０９が介在した状態で第１回目の熱処理を行なうため、該第１回目の熱処理を低温例えば５００℃の温度下で行なうことができる。

【００５７】

尚、第２の実施形態においては、ｎ型の高濃度不純物層１０８の表面部及びゲート電極１０５の表面部の両方にコバルトダイシリサイドからなる第２のエピタキシャルシリサイド層１１１Ｂを形成したが、これに代えて、ｎ型の高濃度不純物層１０８の表面部及びゲート電極１０５の表面部のうちの一方にのみ第２のエピタキシャルシリサイド層１１１Ｂを形成してもよい。

【００５８】

また、第２の実施形態においては、ｎ型の高濃度不純物層１０８の表面近傍の領域及びゲート電極１０５の表面近傍の領域に非金属元素として酸素原子１０９を分布させたが、酸素原子１０９に代えて、窒素原子又はフッ素原子等を分布させてもよい。

【００５９】

また、第２の実施形態においては、金属膜としてコバルト膜１１０を堆積して、コバルトダイシリサイドからなる第２のエピタキシャルシリサイド層１１１Ｂを形成したが、コバルト膜１１０に代えて、ニッケル又は鉄等の他の遷移金属か

らなる金属膜を堆積して、該金属膜を構成する遷移金属とシリコンとからなるエピタキシャルシリサイド層を形成してもよい。

【００６０】

（第３の実施形態）

造方法について、図５（ａ）～（ｃ）、図６（ａ）～（ｃ）及び図７（ａ）、（ｂ）を参照しながら説明する。

【００６１】

まず、第２の実施形態と同様にして、図５（ａ）に示すように、ｎ型のシリコン結晶からなる半導体基板２００にボロン等のｐ型不純物をイオン注入してｐ型ウェル領域２０２を形成した後、ＬＯＣＯＳ法により半導体基板２００の表面部に例えば４００ｎｍの厚さを有するフィールド絶縁膜２０３を形成する。次に、半導体基板２００の表面に全面に亘って例えば５～１０ｎｍの膜厚を有するシリコン酸化膜からなるゲート絶縁膜２０４を形成した後、例えばＣＶＤ法によりゲート絶縁膜２０４の上に多結晶シリコン膜を堆積した後、該多結晶シリコン膜をパターニングしてゲート電極２０５を形成する。

【００６２】

次に、半導体基板２００にゲート電極２０５をマスクとしてヒ素又はリン等のｎ型不純物を低濃度にイオン注入して、図５（ｂ）に示すように、ｎ型の低濃度不純物層２０６を形成する。

【００６３】

次に、半導体基板２００の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して異方性エッチングを行なって、図５（ｃ）に示すように、ゲート電極２０５の側面にサイドウォール２０７を形成した後、半導体基板２００にゲート電極２０５及びサイドウォール２０７をマスクとしてヒ素又はリン等のｎ型不純物を高濃度にイオン注入して、ｎ型の高濃度不純物層２０８を形成した後、半導体基板２００に対して熱処理を施して、ｎ型の低濃度不純物層２０６及び高濃度不純物層２０８を活性化する。

【００６４】

次に、図６（ａ）に示すように、半導体基板２００上に全面に亘って、半導体元素と非金属膜からなる化合物層例えばシリコン酸化膜２０９を形成する。

【００６５】

シリコン酸化膜２０９の形成方法としては、半導体基板２００の表面に酸化力を有する溶液（例えば、アンモニア、過酸化水素水及び純水からなる混合溶液）を供給している状態を維持しておくことにより、SiO_2族を形成する第１の方法、半導体基板２００の表面を酸素プラズマに曝して１０ｎｍ程度の厚さを有するシリコン酸化膜を形成する第２の方法、又は、半導体基板２００を酸化性雰囲気で７５０～９００℃に加熱して１０ｎｍ程度の厚さを有する熱酸化膜を形成する第３の方法等が挙げられる。

【００６６】

次に、図６（ｂ）に示すように、シリコン酸化膜２０９に対して非金属元素からなる粒子エネルギー線、例えばＡｒイオンを低エネルギーで照射する。このようにすると、粒子エネルギー線の反跳（Ｒｅｃｏｉｌ）により、シリコン酸化膜２０９を構成する酸素原子２１０は、図６（ｃ）に示すように、ｎ型の高濃度不純物層２０８の表面近傍の領域及びゲート電極２０５の表面近傍の領域に基板面方向に分布する。尚、粒子エネルギー線の照射により、シリコン酸化膜２０９を構成する酸素原子がスパッタされても差し支えない。

【００６７】

また、酸素原子２１０を分布させる深さとしては、ｎ型の高濃度不純物層２０８又はゲート電極２０５の表面から０．５～５ｎｍの範囲が好ましく、酸素原子２１０の濃度としては、$5\times10^{14}cm^{-2}$～$3\times10^{16}cm^{-2}$の範囲が好ましい。これらの理由については第２の実施形態と同様である。

【００６８】

尚、粒子エネルギー線の照射としてＡｒイオンの照射を行なう場合、Ａｒイオンの加速エネルギーが１００ｅＶであれば、酸素原子２１０の分布のピークはシリコン領域の表面から１ｎｍの深さになり、Ａｒイオンの加速エネルギーが３００ｅＶであれば、酸素原子２１０の分布のピークはシリコン領域の表面から２ｎｍの深さになる。

【００６９】

次に、図７（ａ）に示すように、シリコン酸化膜２０９を除去した後、半導体基板２００の上に全面に亘って金属膜例えばコバルト膜２１１を堆積する。このようにすると、第２の実施形態と同様、コバルト膜２１１を構成するコバルト原子とシリコン基板２００の表面のシリコン原子とが反応してコバルト膜２１１とシリコン基板２００との界面にコバルトダイシリサイド（$CoSi_2$）の核が形成されると共に、ゲート電極２０５の個々の結晶粒に対してもコバルトダイシリサイド（$CoSi_2$）の核が形成される。

【００７０】

次に、半導体基板２００を５００℃の温度下で１０秒間保持する第１回目の熱処理（ＲＴＡ）を行なって、ｎ型の高濃度不純物層２０８及びゲート電極２０５の表面部に、第１のエピタキシャルシリサイド層２１２Ａを形成する。

【００７１】

第３の実施形態においては、ｎ型の高濃度不純物層２０８及びゲート電極２０５の表面近傍の領域には酸素原子２１０が表面から０．５～５ｎｍの深さに分布しているため、コバルト原子とシリコン原子とは一気に反応しないので、第１のエピタキシャルシリサイド層２１２Ａが凝集したり又は多結晶化したりする事態を防止できる。

【００７２】

尚、第１のエピタキシャルシリサイド層２１２Ａにおいては、すべての層がコバルトダイシリサイド（$CoSi_2$）からなっていてもよいし、下層（シリコン層との界面側）がコバルトダイシリサイド（$CoSi_2$）であると共に上層（コバルト膜１１０側）がコバルトシリサイド（ＣｏＳｉ）であってもよい。このようにすると、コバルトシリサイド層の凝集が起こらないので、リーク電流の低減を図ることができる。

【００７３】

次に、図７（ｂ）に示すように、第１回目の熱処理で反応しなかったコバルト膜２１１を、例えばアンモニア液と過酸化水素水との混合液又は塩酸系混酸液からなるエッチャントを用いて除去した後、半導体基板２００を８００℃の温度下

で１０秒間保持する第２回目の熱処理（ＲＴＡ）を行なって、第１のエピタキシャルシリサイド層２１２Ａを、すべての層がコバルトダイシリサイドからなる第２のエピタキシャルシリサイド層２１２Ｂに変化させる。

【００７４】

尚、第１のエピタキシャルシリサイド層２１２Ａのすべての層がコバルトダイシリサイドとなる場合には、第２回目の熱処理を省略することもできる。この場合には、以下の説明における第２のエピタキシャルシリサイド層２１２Ｂを第１のエピタキシャルシリサイド層２１２Ａと読み替える。

【００７５】

次に、図示は省略しているが、第２の実施形態と同様にして、層間絶縁膜、コンタクトホール、金属配線及び保護絶縁膜を形成すると、第１の実施形態に係る半導体装置が得られる。

【００７６】

第３の実施形態によると、ｎ型の高濃度不純物層２０８及びゲート電極２０５の表面部にはコバルトダイシリサイドからなる第２のエピタキシャルシリサイド層２１２Ｂが形成されているため、ｎ型の高濃度不純物層２０８及びゲート電極２０５のシート抵抗を５Ω／□程度に低減できると共にコンタクト抵抗も低減できるので、ＭＯＳＦＥＴを有する半導体集積回路装置の性能を向上させることができる。

【００７７】

また、第３の実施形態によると、半導体基板２００の上にシリコン酸化膜２０９を堆積しておいてから粒子エネルギー線を照射するため、シリコン酸化膜２０９を構成する酸素原子２１０をｎ型の高濃度不純物層２０８の表面近傍の領域及びゲート電極２０５の表面近傍の領域に確実に分布させることができる。

【００７８】

また、ｎ型の高濃度不純物層２０８の表面近傍の領域及びゲート電極２０５の表面近傍の領域に非金属元素例えば酸素原子２１０を分布させておいてから金属膜例えばコバルト膜２１１を堆積し、その後、第１回目及び第２回目の熱処理を行なって、ｎ型の高濃度不純物層２０８の表面部及びゲート電極２０５の表面部

にコバルトダイシリサイドからなる第２のエピタキシャルシリサイド層２１２Ｂ形成するため、コバルト原子とシリコン原子とが一気に反応する事態を回避できるので、第２のエピタキシャルシリサイド層２１２Ｂが凝集したり多結晶化したりする事態を回避できると共に第２のエピタキシャルシリサイド層２１２Ｂにスルシリサイド層の凝集又は多結晶化に起因する断線を防止できると共に、スパイク欠陥に起因する接合リークを防止することができる。

【００７９】

さらに、第３の実施形態によると、ｎ型の高濃度不純物層２０８の表面近傍の領域及びゲート電極２０５の表面近傍の領域に酸素原子２１０を分布させた状態で第１回目の熱処理を行なうため、該第１回目の熱処理を低温例えば５００℃の温度下で行なうことができる。

【００８０】

尚、第３の実施形態においては、ｎ型の高濃度不純物層２０８の表面部及びゲート電極２０５の表面部の両方にコバルトダイシリサイドからなる第２のエピタキシャルシリサイド層２１２Ｂを形成したが、これに代えて、ｎ型の高濃度不純物層２０８の表面部及びゲート電極２０５の表面部のうちの一方にのみ第２のエピタキシャルシリサイド層２１２Ｂを形成してもよい。

【００８１】

また、第３の実施形態においては、半導体基板２００の上にシリコン酸化膜２０９を形成したが、これに代えて、シリコン窒化膜又はシリコン弗化膜を堆積して、窒素原子又はフッ素原子を、ｎ型の高濃度不純物層２０８の表面近傍の領域及びゲート電極２０５の表面近傍の領域に分布させてもよい。

【００８２】

また、第３の実施形態においては、金属膜としてコバルト膜２１１を堆積して、コバルトダイシリサイドからなる第２のエピタキシャルシリサイド層２１２Ｂを形成したが、コバルト膜２１１に代えて、ニッケル又は鉄等の他の遷移金属からなる金属膜を堆積して、該金属膜を構成する遷移金属とシリコンとからなるエピタキシャルシリサイド層を形成してもよい。

【００８３】

（第３の実施形態の変形例）

第３の実施形態においては、シリコン酸化膜２０９に対して非金属元素からなる粒子エネルギー線例えばＡｒイオンを照射して、酸素原子２１０をｎ型の高濃度不純物層２０８の表面近傍の領域及びゲート電極２０５の表面近傍の領域に分布させた後、シリコン酸化膜２０９を除去したが、この実施形態の変形例においては、粒子エネルギー線に用いる粒子例えばＡｒイオンの質量及びエネルギー量を制御して、酸素原子２１０をｎ型の高濃度不純物層２０８の表面近傍の領域及びゲート電極２０５の表面近傍の領域に分布させる際に、粒子エネルギー線の照射によってシリコン酸化膜２０９を除去する。このようにすると、シリコン酸化膜２０９を除去する工程を省略することができる。

【００８４】

【発明の効果】

本発明の半導体装置の製造方法によると、半導体層における表面近傍の領域に非金属元素を分布させた状態で熱処理を施して半導体層を構成する元素と金属膜を構成する金属とを反応させるため、金属膜を構成する金属と半導体層を構成する元素とが一気に反応する事態を回避できるので、エピタキシャル半導体金属間化合物層の多結晶化を防止することができる。

【００８５】

従って、本発明によると、凝集及びスパイク欠陥のないエピタキシャル半導体金属間化合物層を、半導体の量産プロセスにおいて通常用いられている真空度領域で且つ低温において安定して形成することができる。

【図面の簡単な説明】

【図１】

（ａ）は第１の実施形態に係る半導体装置の平面構造を示す図であり、（ｂ）は（ａ）におけるＩｂ－Ｉｂ線の断面図である。

【図２】

（ａ）～（ｃ）は第２の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図３】

（ａ）～（ｃ）は第２の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図４】

す断面図である。

【図５】

（ａ）～（ｃ）は第３の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図６】

（ａ）～（ｃ）は第３の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図７】

（ａ）及び（ｂ）は第３の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【符号の説明】

１０　半導体基板

１１　チャネルストッパー

１２　ｐ型ウェル領域

１４　ゲート絶縁膜

１５　ゲート電極

１６　ｎ型の低濃度不純物拡散層

１７　サイドウォール

１８　ｎ型の高濃度不純物拡散層

２２　層間絶縁膜

２３　コンタクトホール

２４　金属配線

２５　保護絶縁膜

１００　半導体基板

１０１　チャネルストッパー

１０２　ｐ型ウェル領域

１０３　フィールド絶縁膜

１０４　ゲート絶縁膜

１０５　ゲート電極

１０６　ｎ型の低濃度不純物層

１０７　サイドウォール

１０８　ｎ型の高濃度不純物層

１０９　酸素原子

１１０　コバルト膜

１１１Ａ　第１のエピタキシャルシリサイド層

１１１Ｂ　第２のエピタキシャルシリサイド層

１１２　層間絶縁膜

１１３　コンタクトホール

１１４　金属配線

１１５　保護絶縁膜

２００　半導体基板

２０１　チャネルストッパー

２０２　ｐ型ウェル領域

２０３　フィールド絶縁膜

２０４　ゲート絶縁膜

２０５　ゲート電極

２０６　ｎ型の低濃度不純物層

２０７　サイドウォール

２０８　ｎ型の高濃度不純物層

２０９　シリコン酸化膜

２１０　酸素原子

２１１　コバルト膜

２１２Ａ　第１のエピタキシャルシリサイド層

２１２Ｂ　第２のエピタキシャルシリサイド層

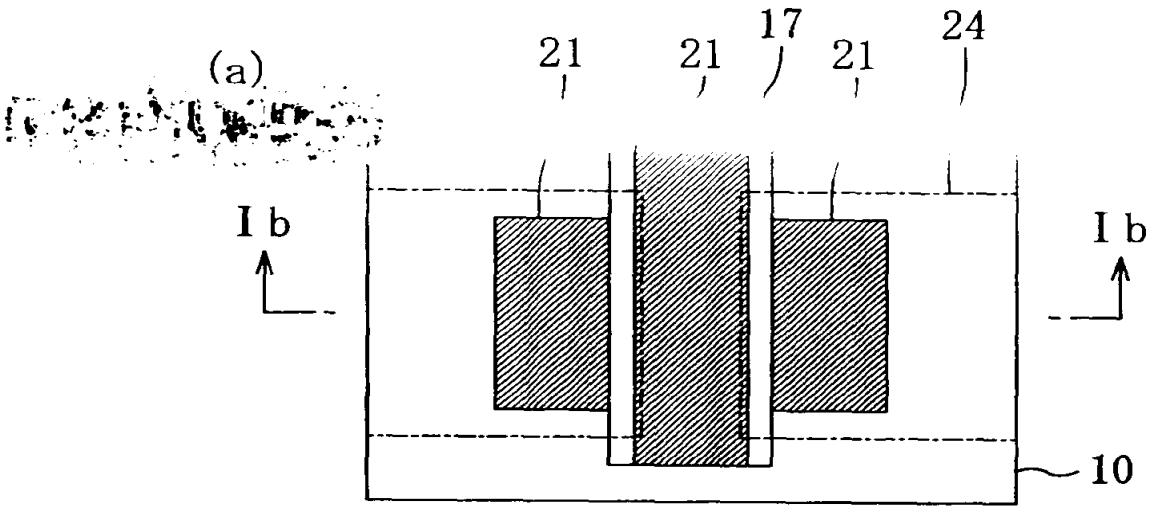
２１３　層間絶縁膜

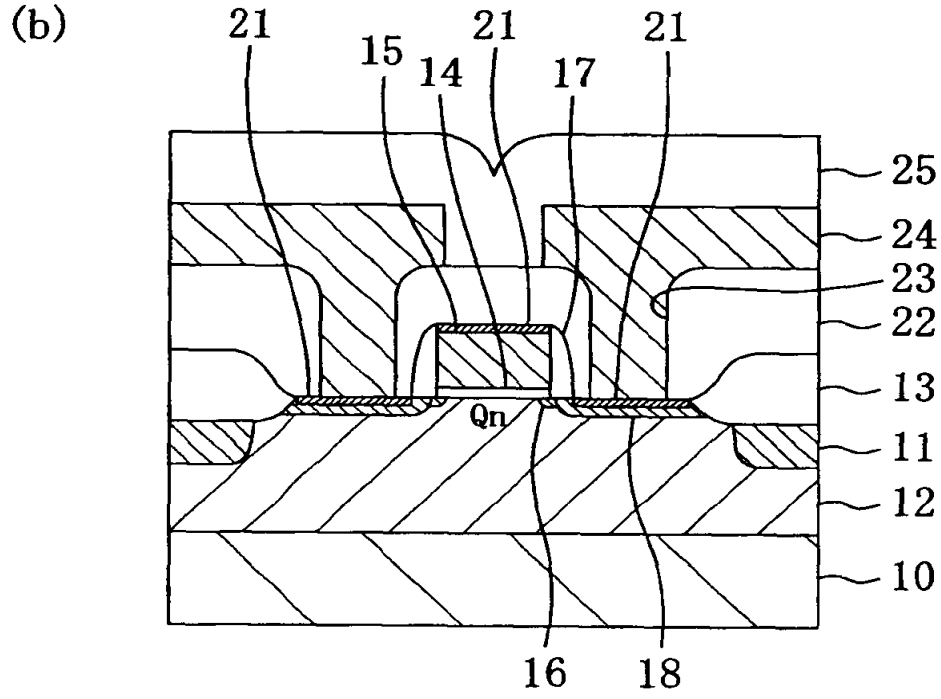
２１４　コンタクトホール

２１５　金属配線

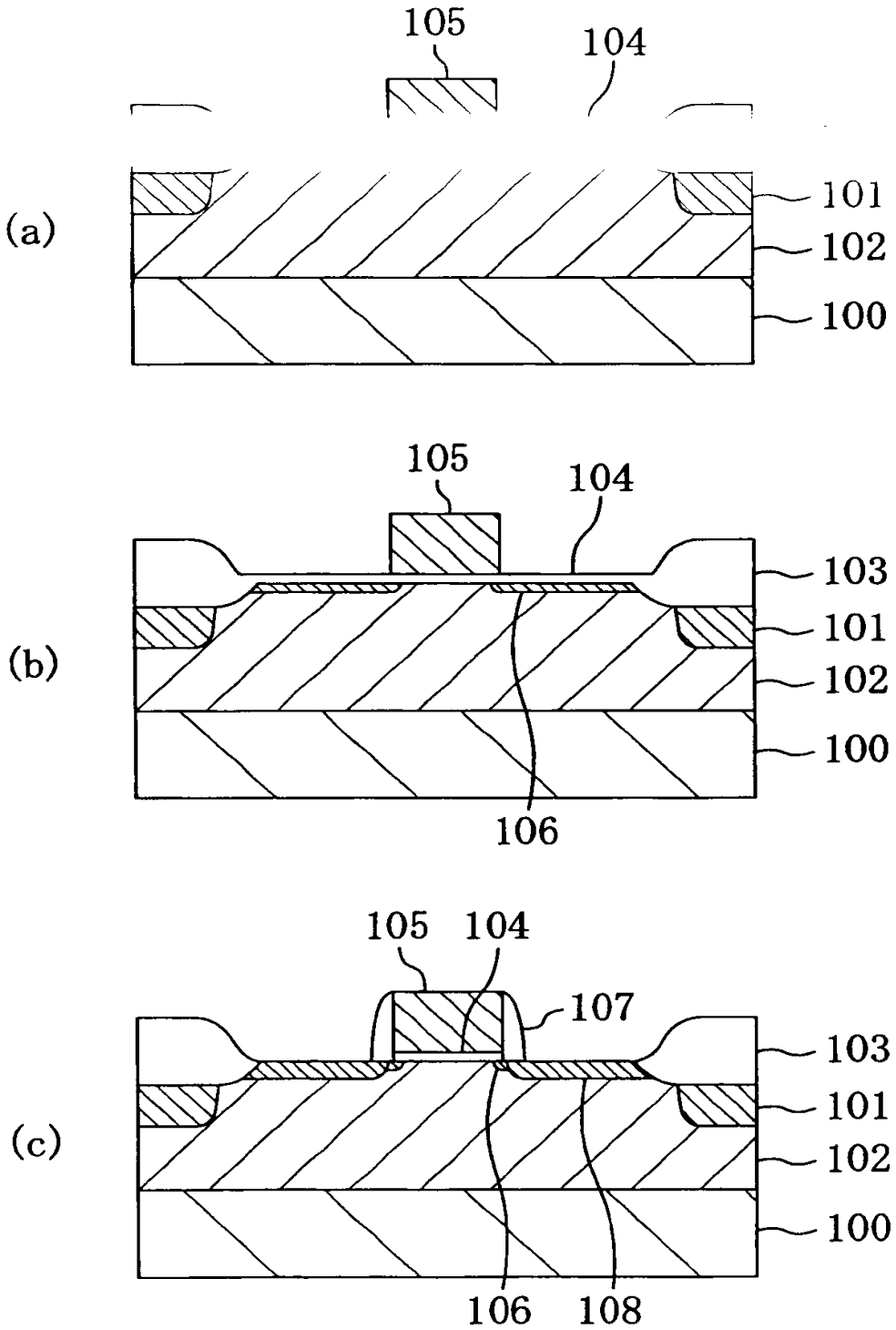
【書類名】　　図面

【図１】

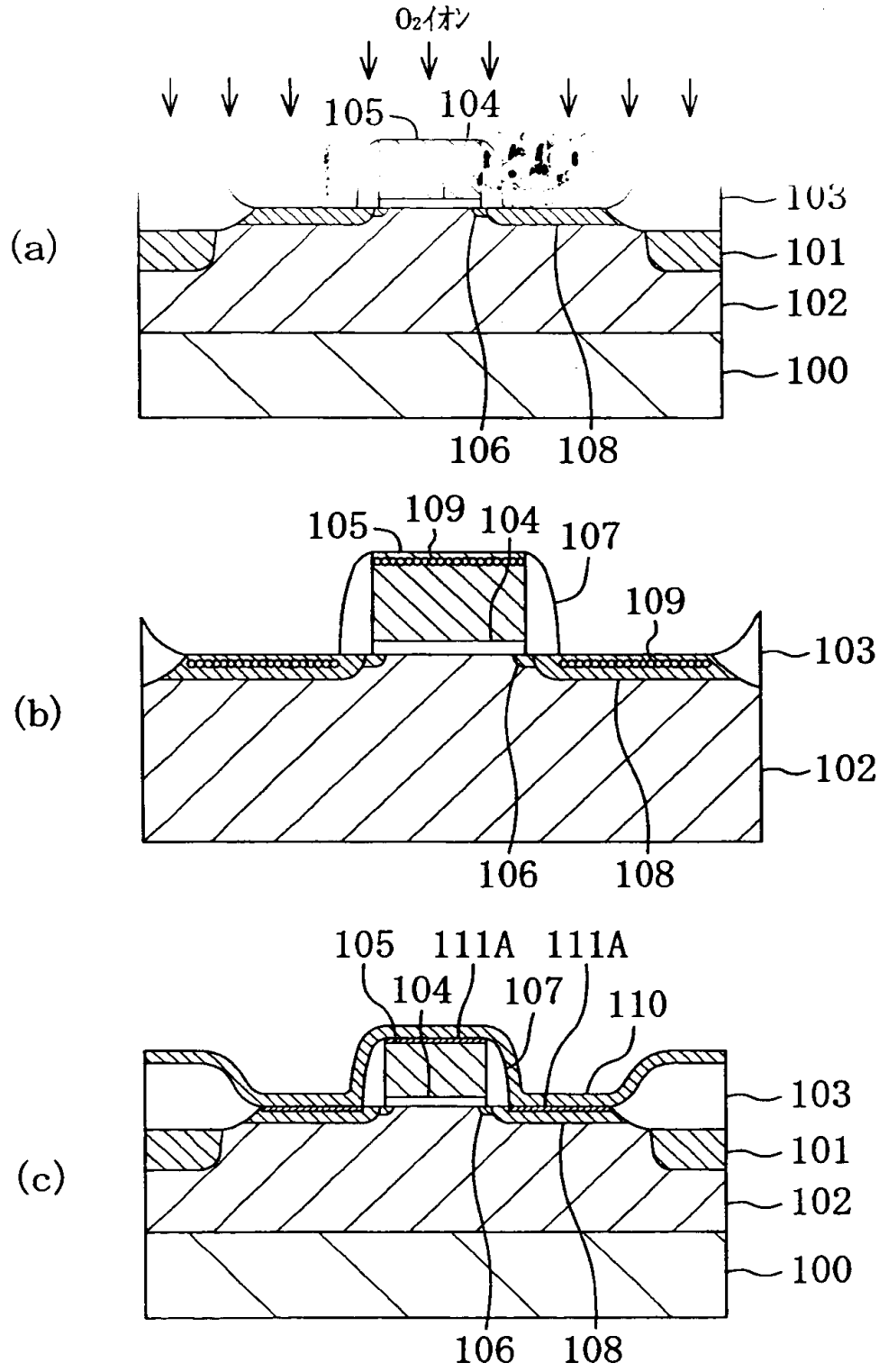

(a)
21
21
17
21
24
I b
I b
10


(b)
21
15
14
21
17
21
25
24
23
22
13
Qn
11
12
10
16
18

【図２】

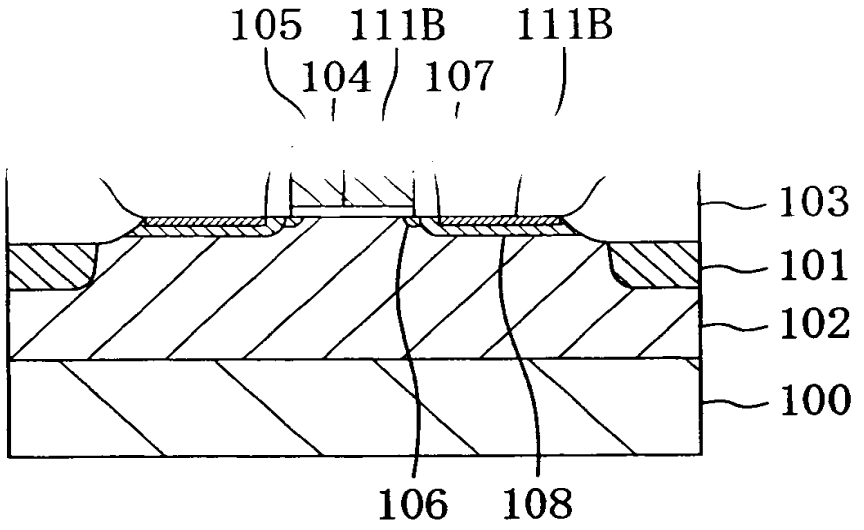

(a)
105
104
101
102
100
(b)
105
104
103
101
102
100
106
(c)
105
104
107
103
101
102
100
106
108

【図３】

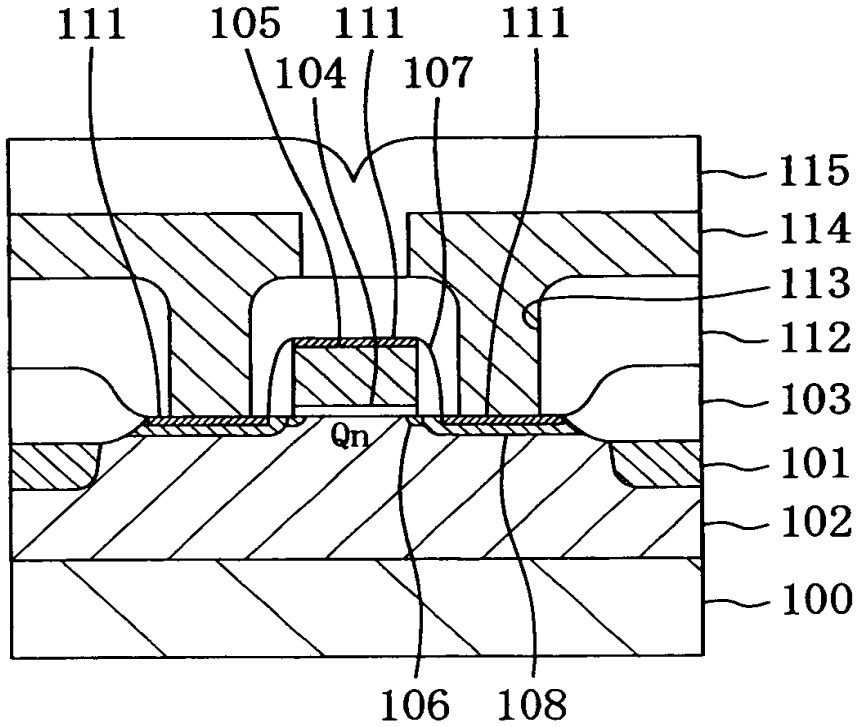

O2イオン
105
104
103
101
102
100
106
108
(a)
105
109
104
107
109
103
102
106
108
(b)
105
111A
111A
104
107
110
103
101
102
100
106
108
(c)

【図４】

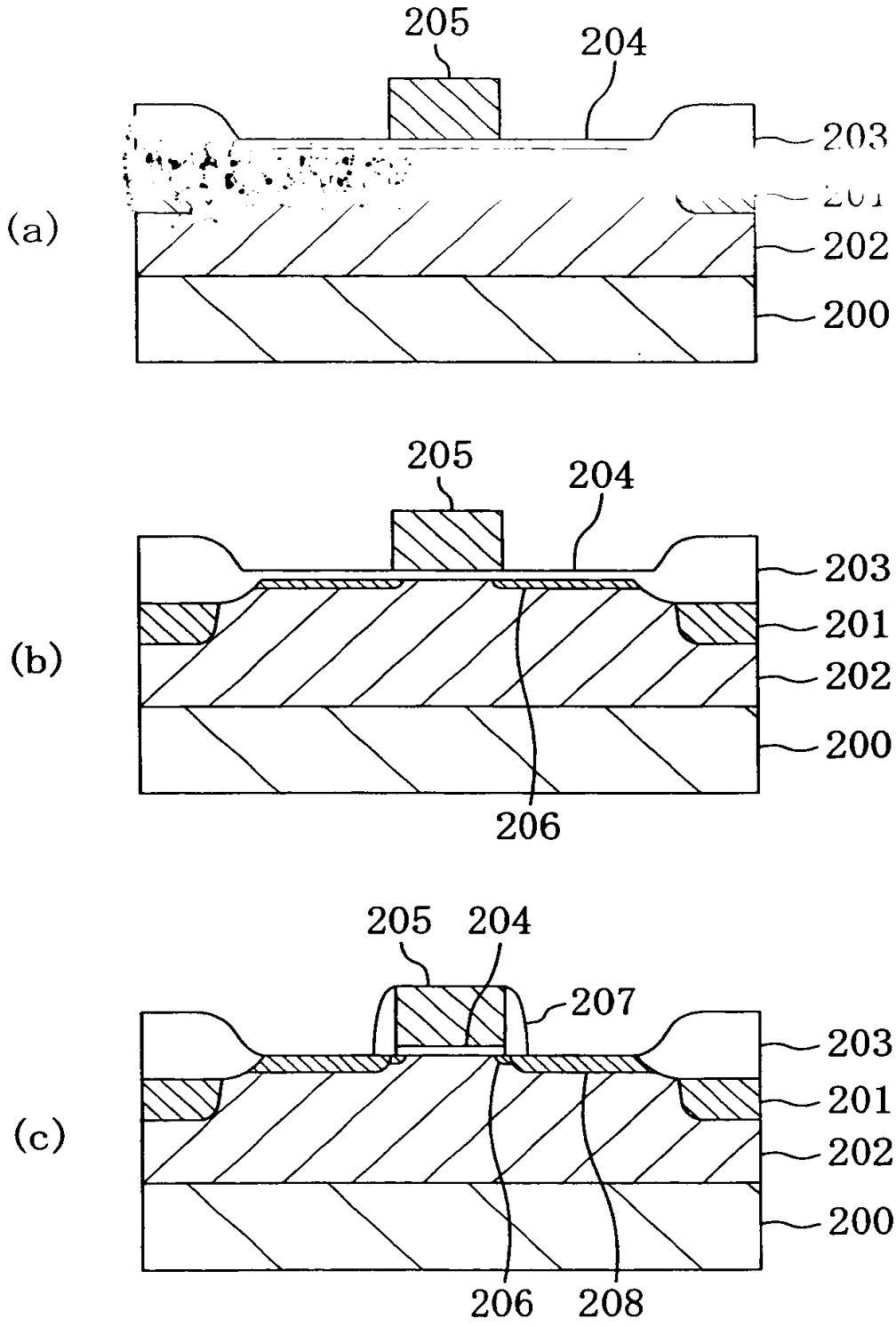
(a)


105
111B
111B
104
107
103
101
102
100
106
108

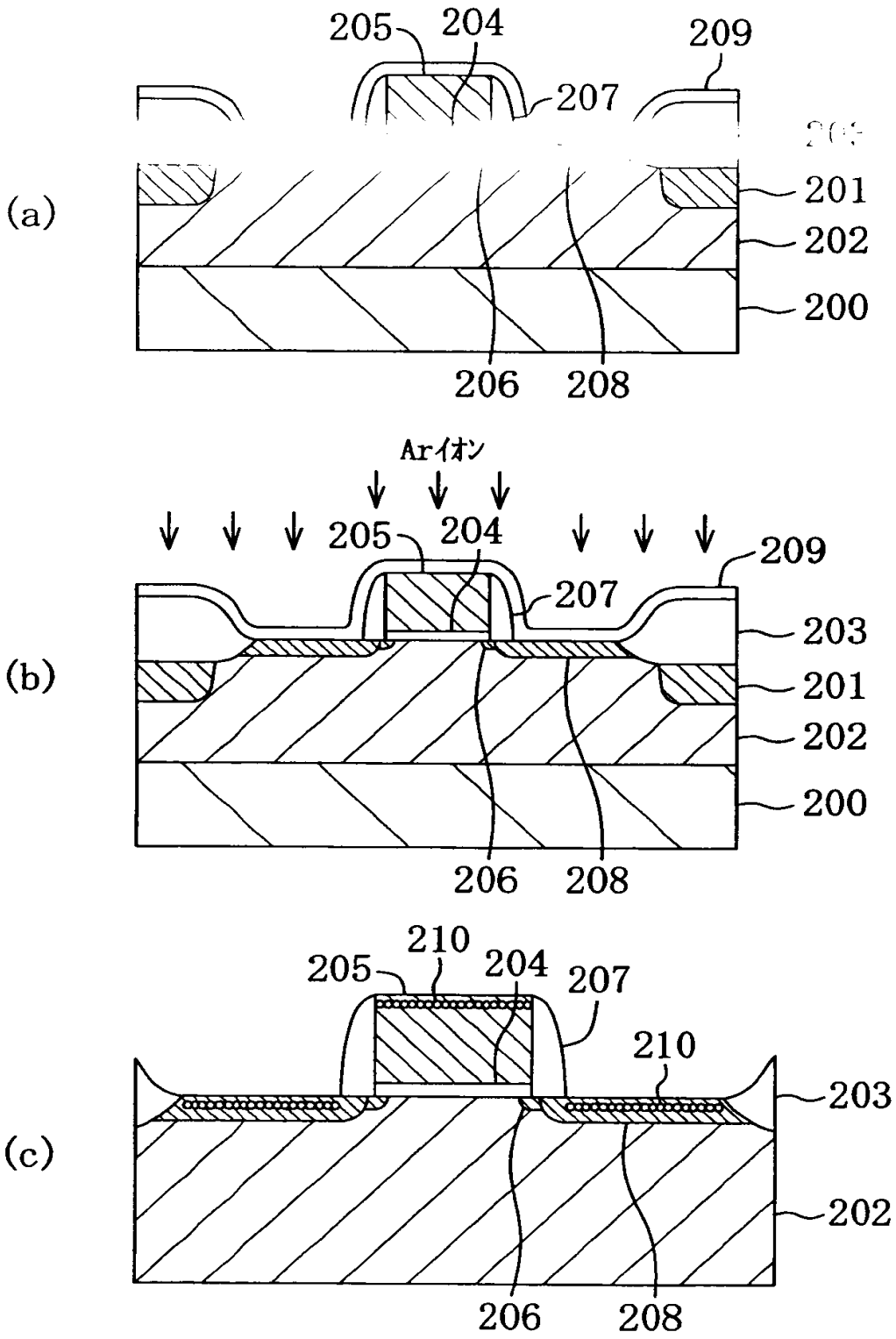
(b)


111
105
111
111
104
107
115
114
113
112
103
Qn
101
102
100
106
108

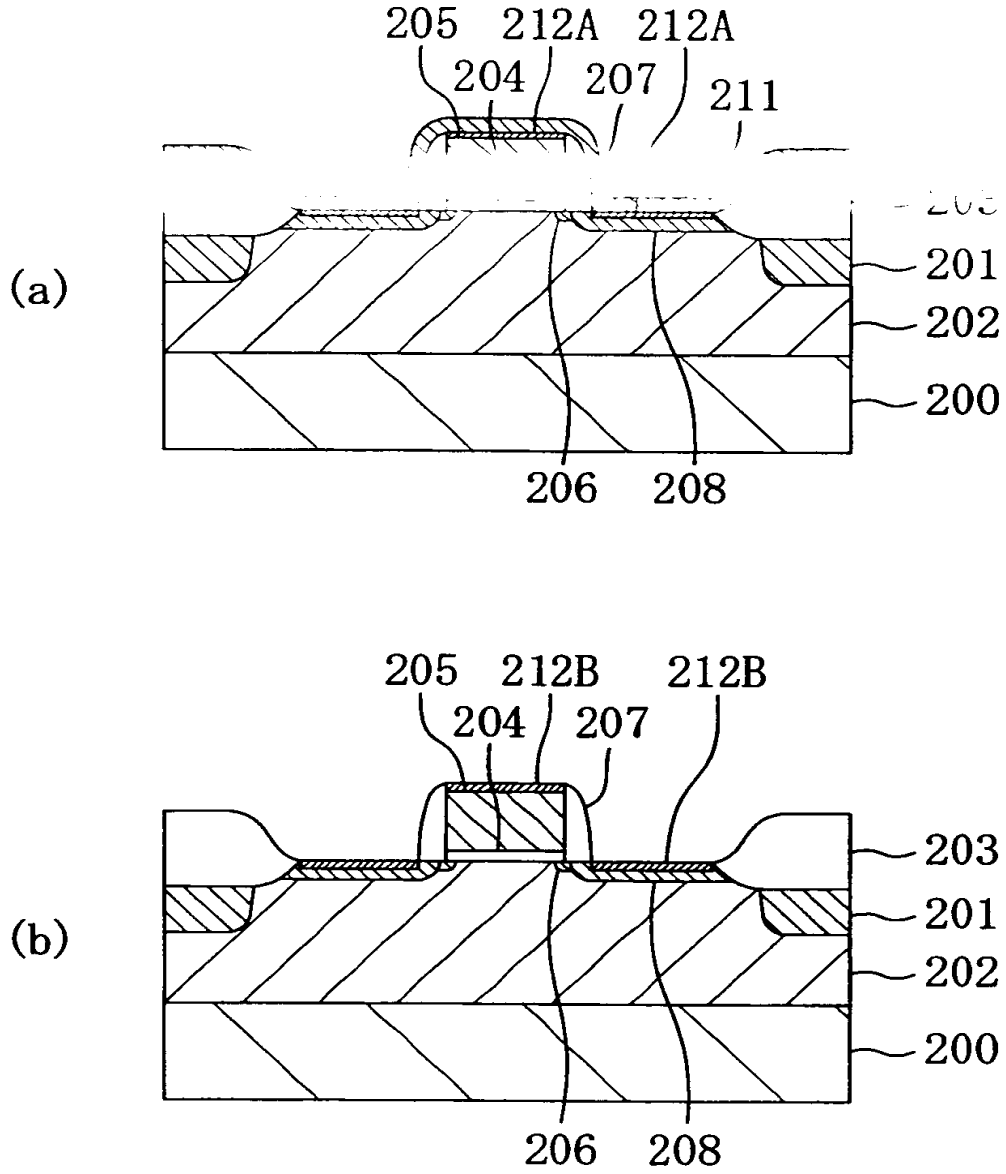
【図５】


(a)
205
204
203
202
200
(b)
205
204
203
201
202
200
206
(c)
205
204
207
203
201
202
200
206
208

【図６】


(a)
205
204
209
207
201
202
200
206
208
(b)
Arイオン
205
204
209
207
203
201
202
200
206
208
(c)
210
205
204
207
210
203
202
206
208

【図７】


(a)
205
212A
212A
204
207
211
201
202
200
206
208
(b)
205
212B
212B
204
207
203
201
202
200
206
208

【書類名】　要約書

【要約】

【課題】　凝集及びスパイク欠陥のないエピタキシャルコバルトシリサイド層を、半導体の量産プロセスにおいて通常用いられている真空度領域において安定

【解決手段】　ｎ型の半導体基板１００に、ｐ型ウェル領域１０２、ｎ型の低濃度不純物層１０６及びｎ型の高濃度不純物層１０８を形成すると共に、半導体基板１００の上にゲート絶縁膜１０４を介してゲート電極１０５を形成する。半導体基板１００に、酸素イオンを低い加速エネルギーでイオン注入して、高濃度不純物層１０８の表面近傍の領域及びゲート電極１０５の表面近傍の領域に酸素原子１０９を分布させる。半導体基板１００の上にコバルト膜１１０を堆積した後、５００℃で１０秒間保持する第１回目の熱処理を行なって、高濃度不純物層１０８及びゲート電極１０５の表面部に第１のエピタキシャルシリサイド層１１１Ａを形成する。

【選択図】　図３

出証特２０００－３０８９９５７

出　願　人　履　歴　情　報

１．変更年月日　　１９９３年　９月　１日
［変更理由］　住所変更
住　所　　大阪府高槻市幸町１番１号
氏　名　　松下電子工業株式会社